



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

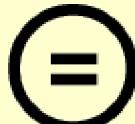
다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원 저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리와 책임은 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)



碩士學位 請求論文

指導教授 金 相 栎

Study on Improvement of the
Leakage-like Defect Problems in
OLED Panel by Off-current Control of
the Driving TFTs

成均館大學校 一般大學院
半導體디스플레이 工學科

李 律 圭

碩士學位 請求論文

指導教授 金 相 栎

Study on Improvement of the
Leakage-like Defect Problems in
OLED Panel by Off-current Control of
the Driving TFTs

成均館大學校 一般大學院
半導體디스플레이 工學科

李 律 圭

碩士學位 請求論文
指導教授 金 相 株

Study on Improvement of the Leakage-like Defect Problems in OLED Panel by Off-current Control of the Driving TFTs

이 論文을 工學 碩士學位請求論文으로 提出합니다.

2015 年 10 月 日

成均館大學校 一般大學院
半導體디스플레이 工學科

李 律 圭

이 論文을 李律圭 의 工學
碩士學位 論文으로 認定함.

2015 年 12 月 日

審查委員長 최 병 덕

審查委員 송 장 근

審查委員 김 상 수

목차

목차	1
그림 목차	2, 3
제1장 서론	7
제2장 Ioff Leakage Mechanism.....	8
2-1 PN Junction Reverse – Bias Current.....	8
2-2 Subthreshold Leakage.....	10
2-2-1 DIBL(Drain Induced barrier Lowering) Leakage.....	14
2-2-2 Body effect.....	16
2-3 Injection of hot carriers from substrate to gate oxide.....	18
2-4 GIDL(Gate Induced Drain Leakage)	19
2-4 Punch through.....	22
제3장 OLED 구동 회로 및 Off Leakage 에 의한 불량.....	22
3-1 OLED 구동 회로.....	22
3-2 Off Leakage 에 의한 불량 발생.....	26
3-3 OSBS(Off State bias Stress)를 통한 Ioff Control.....	27
제4장 OSBS 적용 조건 및 불량 개선 결과.....	31
4-1 Vgd 조건에 따른 OSBS 결과.....	31
4-2 Vgs 조건에 따른 OSBS 결과.....	33
4-3 TFT Size 에 따른 OSBS 결과.....	35
4-4 Vgs 및 Vds 가혹 조건에 따른 OSBS 결과.....	37
4-5 OSBS 시간에 따른 aging 결과.....	40

4-6 명점 Pixel 의 OSBS 결과.....	42
4-7 온도 가혹 test 에 의한 특성 측정.....	43
제5장 결론	45
참고문헌	46
Abstract.....	47

그림목차

그림 1.1 : Coplanar 및 inverted staggered 구조.....	7
그림 2.1 : Ioff current 종류.....	9
그림 2.2 : Doping 농도에 따른 BTBT.....	10
그림 2.3 : Reverse bias 된 junction 에서의 BTBT.....	10
그림 2.4 : Weak inversion 에서의 Channel 내부의 소수 Carrier 변화.....	12
그림 2.5 : Subthreshold leakage(NMOS) transistor.....	13
그림 2.6 : Channel 내부의 Energy bending.....	15
그림 2.7 : Vds 에 따른 Id – Vg curve.....	16
그림 2.8 : n channel log(Id) – Vg.....	17
그림 2.9 : injection of hot electrons.....	18
그림 2.10 : Vg<0일때 depletion edge.....	19
그림 2.11 : Vds 에 따른 Id – Vg curve.....	20
그림 2.12 : GIDL 전류의 Band Diagram.....	22
그림 3.1 : OLED 기본 구동 회로.....	23
그림 3.2 : OLED Panel 의 동작점.....	24
그림 3.3 : OLED 소자의 L-I 특성.....	25

그림 3.4 : GIDL 전류의 Band Diagram.....	27
그림 3.5 : OSBS(Off State bias Stress) 효과.....	29
그림 3.6 : OSBS(Off State bias Stress) 전후 I_{off} 비교.....	30
그림 3.7 : OSBS(Off State bias Stress) 전후 불량 비교.....	30
그림 4.1 : OSBS 에 의한 band bending 및 carrier 이동.....	31
그림 4.2 : V_{ds} 변화에 따른 I_{off} aging 수준 변화.....	33
그림 4.3 : V_{gs} 및 V_{ds} 변화에 따른 I_{off} aging 수준 변화.....	34
그림 4.4 : TR 의 Length 변화에 따른 I_{off} aging 수준 변화.....	35
그림 4.5 : TR 의 Width 변화에 따른 I_{off} aging 수준 변화.....	36
그림 4.6 : V_{gs} 변화에 따른 I_{off} aging 수준 변화.....	38
그림 4.7 : V_{gs} 가혹 조건에 따른 carrier 분포.....	39
그림 4.8 : V_{ds} 변화에 따른 I_{off} aging 수준 변화.....	40
그림 4.9 : aging 시간에 따른 I_{off} 변화.....	41
그림 4.10 : 명점 pixel 의 OSBS 결과.....	42
그림 4.11 : OSBS 인가 전후 불량 Pixel.....	43
그림 4.12 : 온도 가혹 Test 결과.....	44

용어 설명

1. TFT LCD : Thin Film Transistor Liquid Crystal Display
2. LTPS(Low Temperature Poly Silicon) : 열 대신 Laser를 사용하여 제작하는 Poly silicon
3. OLED : Organic Light Emitting Diode
4. Backplane : display의 turn on / turn off 를 구현 시키는 소자(예 TFT)
5. Driving TFT : OLED의 Current를 Control 시켜 주는 TFT
Switching TFT : On / Off 동작에 의해 회로를 동작시켜주는 TFT
6. LDD(Light doped drain) : Off leakage를 줄여주기 위해 S/D과 Channel사이에 doping을 약하게 형성
7. I_{off} : V_g 가 0일 때의 I_d 를 의미
8. 명 점 : display의 black 구동 시 강하게 빛나는 화소
약명 점 : display의 black 구동 시 약하게 빛나는 화소
9. 저 계조 얼룩 : display의 밝기가 어두울 때 보이는 얼룩
10. GIDL (Gate Induced Drain Leakage) : Gate 전압에 의해 발생하는 Drain leakage
11. DIBL(Drain Induced Barrier Lowering) : Drain 인가 전압에 의해 장벽 전압이 낮아짐
12. OSBS(Off State Bias Stress) : Off 영역에서 강하게 bias를 걸어줌으로써 I_{off} Leakage를 줄여줌
13. Pixel : 이미지를 구성하는 최소 단위의 점
14. BTBT : Band to band tunneling
15. G.I.(Gate Insulator) : Gate 과 Si사이의 절연막
16. ILD(Inter Layer Dielectric) : Gate와 Source / Drain 사이의 절연막

논문요약

Study on Improvement of the Leakage-like Defect Problems in OLED Panel by Off-current Control of the Driving TFTs

본 논문에서는 TFT에서 Off current로 인해 발생하는 문제들을 해결할 수 있는 방안을 제시하고 있다. 저온 폴리 실리콘(LTPS) 공정은 유기 발광 다이오드(OLED) 디스플레이의 backplane 기술로서 널리 도입되었다. 고해상도 OLED 디스플레이에 구현을 위해, driving TFT는 mobility 향상에 대한 요구가 증가된다. Planar TFT 구조의 레이아웃을 사용하는 대부분의 OLED backplane은, 이동성을 향상시키기 위해 GI(Gate Insulator) 두께 감소는 필수적이다. 그러나, GI막을 얇게 하면, pixel driving TFT의 누설 전류(I_{off})가 증가 될 수 있고, 이는 OLED 디스플레이에서 명점 발생에 대한 높은 위험을 초래한다. I_{off} 를 줄이기 위해서, LDD (light doped drain) TFT 구조 [1,2]와 멀티 gate TFT 구조 [3]이 제안되어 있다. 그러나, 이러한 방법은 공정 추가 혹은 결과적으로 개구율을 낮게 만든다.

이 연구에서 off-state-bias-stress (OSBS)는 backplane 구조 변경 또는 추가 공정 없이 TFT의 누설 전류를 개선하기 위해 도입되었다. Defect 검사 공정에서 OSBS 전압을 인가함으로써 I_{off} 가 효과적으로 감소 될 수 있다. 적합한 조건 하에서, 전자가 GI막에 trap되어 gate에 의한 electric field를 효과적으로

감소시켜 GIDL(gate induced drain leakage)에 의한 leakage를 감소시킨다. V_{gs} 가 30V 이상일 때 V_{th} 변화를 야기할 수 있고 V_{ds} 는 V_{th} 에 영향을 주지 않는다. V_{gs} 를 최소화 하고 V_{gd} 를 조정함으로써 V_{th} 의 변화없이 I_{off} leakage를 최소화 할 수 있다.

결과적으로, OLED display에서 leakage에 의해 발생하는 약명점 또는 저계조 얼룩 불량을 OSBS에 의해 효과적으로 개선할 수 있다.

주제어: Leakage Current, GIDL, DIBL, OSBS(Off State Bias Stress)

제1장 서 론

최근 OLED(Organic Light Emitting Diodes) panel 의 수요가 폭발적으로 늘어나고 있는 가운데 고해상도 구현을 위한 많은 기술들이 발전하고 있다. 고해상도 구현을 위해 TFT(Thin Film Transistor)에서는 mobility 향상이 이루어져야 하며, 이를 구현하기 위해 LTPS(Low Temperature Poly Silicon)을 적용하고 있다.

LTPS 를 적용할 경우 silicon 의 결정화가 최적화 되는 coplanar 구조[그림 1.1 (a)] 구조를 적용하고 있으며, gate 에 의한 self align 이 이루어진다. 일반적으로 TFT-LCD 에서 적용되고 있는 inverted staggered 구조[그림 1 (b)]는 align margin 을 고려해야 하므로 C_{GS} 가 늘어나게 된다. 이에 반해 coplanar 구조에서는 self align 에 의한 C_{GS} 를 최소화 할 수 있으므로, 충전시간 최소화를 통한 고해상도 구현에 유리한 구조가 된다.[1]

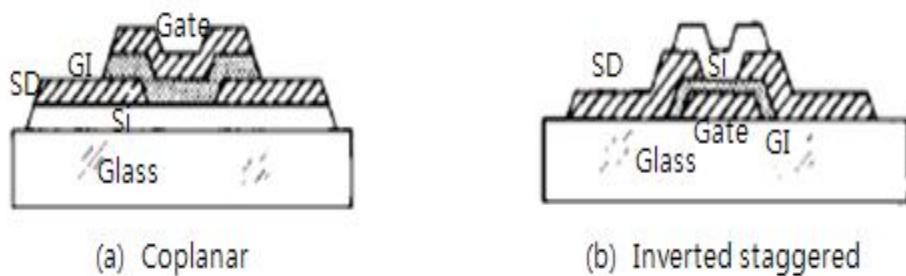


그림 1.1 : Coplanar 및 inverted staggered

또한 inverted staggered 구조에 비해 gate 절연막을 얇게 만들수 있다. 그러나 절연막 두께가 감소할수록 gate 전극과 drain 전극 사이의 누설 전류량이 크며[2], 정전기나 외부 간섭에 의한 damage 에 취약한 구조가 된다. OLED display 에 적용되는 switching / driving TFT 의 I_{OFF} Current 에 의해 다양한 불량들이

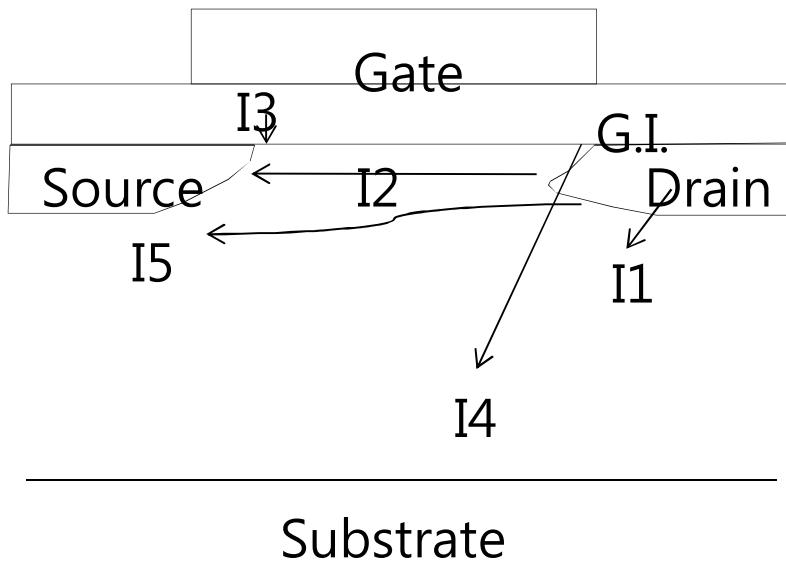
발생하며, 이를 구조적으로 개선하기 위한 노력들이 이루어져 왔다. 대표적으로 LDD 구조[3,4], multi gate 구조[5]등이 제안되었다. 그러나 이러한 구조들에 대해서는 단점들을 가지고 있다. LDD 구조에서는 공정을 추가해야 하며, Multi Gate 의 구조에서는 TFT 가 차지하는 면적이 증가하여 개구율이 감소하게 된다.

이런 문제점을 해결할 수 있는 대안으로 OSBS(Off State Bias Stress)에 의한 I_{off} 억제 방법이 있다[6]. OSBS 방법은 TFT 제작에 있어 구조적 변경이나 추가 공정 등의 부담이 없고 TFT 의 결함을 검사하는 공정에서 TFT 에 적절한 전압을 인가하여 I_{off} 를 효과적으로 낮출 수 있기 때문에 대면적 디스플레이 패널과 같은 공정에 적용하기 매우 유용한 방법이다.

본 논문에서는 TFT 용 OLED Panel 에 적용되고 있는 OSBS 에 의한 I_{off} 억제 메커니즘을 설명하고 유효한 I_{off} 확보를 위해 필요한 OSBS 조건을 정량화하였다.

제 2 장 I_{off} Leakage Mechanism

I_{off} leakage 에는 아래 [그림 2.1]에서 보는 바와 같이 5 가지 mechanism 으로 나누어 생각 할수 있다.



Substrate

I1 = PN junction reverse bias current;

I2 = sub threshold leakage

I3 = injection of hot carrier from substrate to gate oxide

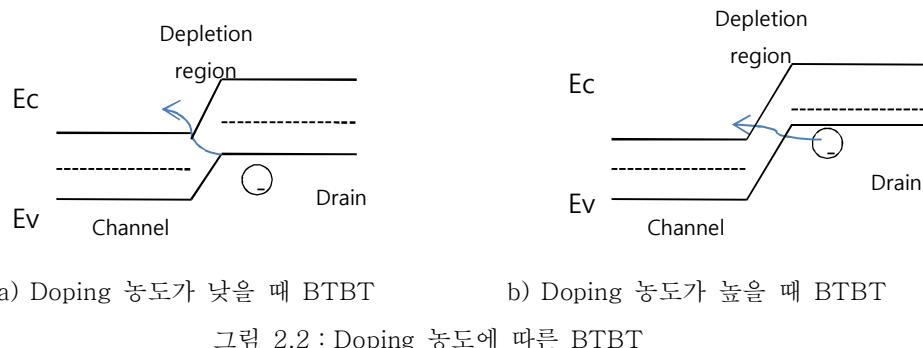
I4 = gate induced drain leakage

I5 = channel punch through current.

2-1 PN Junction Reverse Bias Current (I1)

Drain 과 계면에서는 항상 reverse bias pn junction 이 형성된다. Reverse bias pn junction 에서는 2 가지 leakage 요소를 가지고 있다. 첫째는 depletion 영역의 edge 부근에서의 소수 carrier 의 diffusion / drift 이다. 다른 한가지는 reverse bias pn junction 의 depletion 영역에서의 electron / hole pair 생성이다. Junction 부의 reverse bias leakage 는 doping concentrate 와 연계된다. Doping concentrate 이 band bending에 영향을 주어 band to band tunneling 을 일으키며,

이에 의해 leakage current 가 발생한다. [그림 2.2]는 P-MOS TFT 의 doping 차이에 의한 band banding 의 변화를 보여주고 있다. 동일 drain bias 인가시 doping 농도가 낮을 때에는 BTBT 가 일어나기 어려움을 볼 수 있다.



Reverse bias pn junction 에서의 high E field ($>10^6$ V/cm)는 p doping 된 balance band 의 electron 의 tunneling 을 통해 n doping 된 conduction band 로 흘러감을 볼 수 있다[그림 2.3].

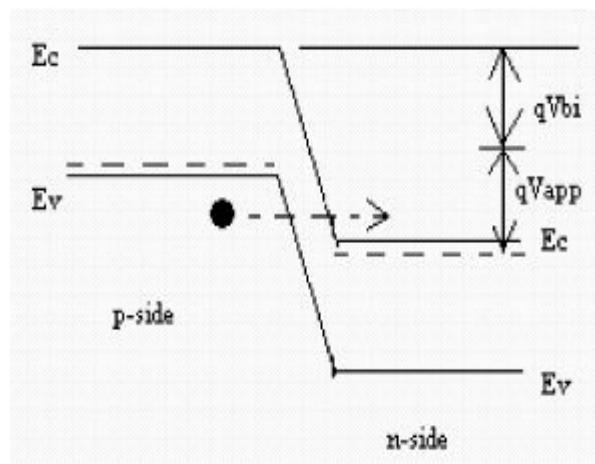


그림 2.3 : Reverse bias 된 junction에서의 BTBT

BTBT 는 band gap 보다 더 높은 voltage drop 이 junction 에 인가되었을 때 발생하며, indirect band gap semiconductor 인 Si 은 emission 이나 phonon 의 흡수를 포함하게 된다. Tunneling 에 의한 current 는 아래와 같이 주어진다.

$$J_{b-b} = A \frac{EV_{app}}{E_g^{1/2}} \exp\left(-B \frac{E_g^{3/2}}{E}\right)$$

$$A = \frac{\sqrt{2m^*}q^3}{4\pi^3\hbar^2}, \text{ and } B = \frac{4\sqrt{2m^*}}{3q\hbar} \quad (1)$$

m^* = effective mass of electron; E_g = energy band gap; V_{app} = applied reverse bias; E = electric field at the junction; q = electron chanrge; \hbar = Planck constant / 2π

Step 함수를 가정했을 때 junction에서의 E 는 아래와 같이 주어진다.

$$E = \sqrt{\frac{2qN_a N_d (V_{app} + V_{bi})}{\epsilon_{si} (N_a + N_d)}} \quad (2)$$

N_a 및 N_d = doping p and n side; ϵ_{si} = permitivity of silicon; V_{bi} = built in voltage;

2-2 Subthreshold Leakage (I2)

Source 와 drain 간 Subthreshold 또는 weak inversion 전도 전류는 gate voltage 가 V_{th} 보다 작을때 발생한다. Weak inversion 상태에서의 carrier는 소수이지만 current 발생을 유발한다. Weak inversion에서는 소수 carrier가 매우 적지만 0은 아니다.

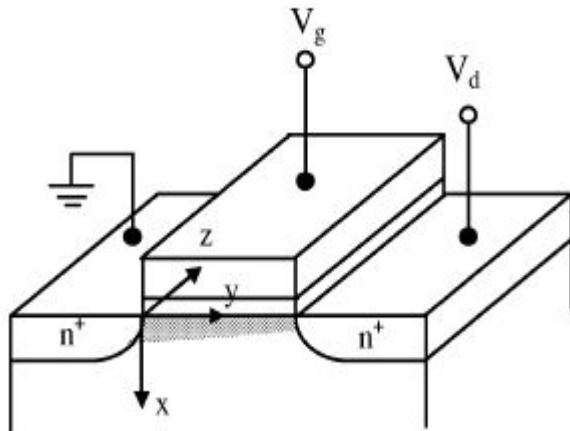


그림 2.4 : Weak inversion에서의 Channel 내부의 소수 Carrier 변화

[그림 2.4]는 weak inversion 상태에서의 channel 내 소수 carrier 의 변화를 보여준다. . N MOS 에서 source 는 ground, $V_g < V_{th}$, $|V_{gs}| > 0.1V$ 를 가정한다. 이러한 weak inversion condition 에서는 대부분의 V_{ds} 전압이 substrate 와 drain 의 reverse-bias pn junction 영역에서 drop 되게 된다. 결과적으로 channel 표면의 electrostatic potential 은 매우 작다. 그러므로 electric field vector E 또한 매우 작게 된다. Mobile carrier 와 electric field 가 매우 작으므로, drift 에 의한 I_{ds} 는 무시할 만 하다. 그러므로 strong inversion 과는 다르게 subthreshold conduction 에서는 diffusion current 가 지배적이다. 그러므로 carrier 들은 bipolar transistor 와 유사하게 charge transport 가 일어나게 된다. 그리고, Weak inversion에서의 current 는 아래의 수식을 따른다.[7]

$$I_{ds} = \mu_0 C_{ox} \frac{W}{L} (m-1) (v_T)^2 \times e^{(V_g - V_{th})/mv_T} \times \left(1 - e^{-v_{DS}/v_T}\right) \quad (3)$$

$$m = 1 + \frac{C_{dm}}{C_{ox}} = 1 + \frac{\frac{\varepsilon_{si}}{W_{dm}}}{\frac{\varepsilon_{ox}}{t_{ox}}} = 1 + \frac{3t_{ox}}{W_{dm}} \quad (4)$$

V_{th} = threshold voltage; $V_T = KT/q$; C_{ox} = gate oxide capacitance;

u_0 = mobility; m = subthreshold coefficient; W_{dm} = Max Depletion Width;

t_{ox} = gate oxide thickness; C_{dm} = capacitance of the depletion layer

Long channel device 에서는 subthreshold current 는 drain voltage 에 독립적이다. 그러나, gate voltage 에 대해서는 exponential 하게 변하게 된다. 이 영역에서의 V_{gs} 에 대한 I_{ds} 는 [그림 2.5]과 같다.

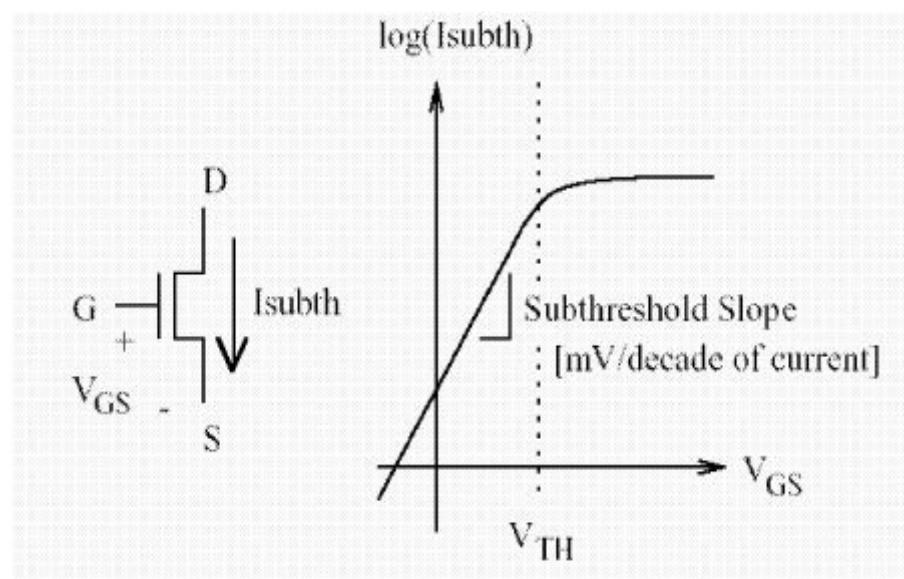


그림 2.5 : Subthreshold leakage (NMOS) transistor

[그림 2.5]에서의 slope 의 역수를 subthreshold slope (S_t)라 부르며, 아래와 같이 주어진다.

$$\begin{aligned}
 S_t &= \left(\frac{d(\log_{10} I_{ds})}{dV_{gs}} \right)^{-1} = 2.3 \frac{mkT}{q} \\
 &= 2.3 \frac{kT}{q} \left(1 + \frac{C_{dm}}{C_{ox}} \right).
 \end{aligned} \tag{5}$$

Subthreshold 기울기는 transistor 가 얼마나 효과적으로 turn off 되는지를 나타낸다. S_t 는 기울기의 역수이므로 값이 클수록 기울기가 작아지게 되므로 off leakage 가 줄어들게 된다. 상온에서 gate insulator layer 의 두께가 줄어들 때 t_{ox} 가 줄어들게 되므로 S_t 의 값이 커지며, doping concentrate 가 낮아졌을 때 W_{dm} 의 값이 작아져 S_t 의 값이 커져 leakage 가 줄어들게 된다.

2-2-1 DIBL(Drain Induced Barrier Lowering) Leakage

Long channel device 에 대해 source 와 drain 은 충분이 분리되어 있어, depletion 영역에서의 field 에 의한 간섭효과가 없다. 그러므로, threshold voltage 는 channel 의 length 와 drain bias 에 영향을 받지 않는다. 그러나 short channel device 에 대해 V_{ds} 및 V_g 에 의해 band bending 이 강하게 영향을 받게 된다. 그러므로 threshold voltage 와 sub threshold current 는 drain bias 에 의해 영향을 받게 된다. 이러한 현상을 DIBL(Drain Induced Barrier Lowering)이라 한다. [그림 2.5]는 channel 폭 및 V_{ds} 변화에 따른 channel 내부의 band bending 변화를 보여주고 있다. Subthreshold 영역에서 장벽 전압이 electron 이 drain 으로 흐르는 것을 막고 있다. 그러나 channel 이 깊을 경우, drain 의 전압이 증가할수록

공핍층의 fixed charge 를 줄여주게 되어, energy barrier 를 낮추어 주는 역할을 하게 된다. 이에 따라 sub threshold current 가 증가되는 현상을 나타나게 된다..

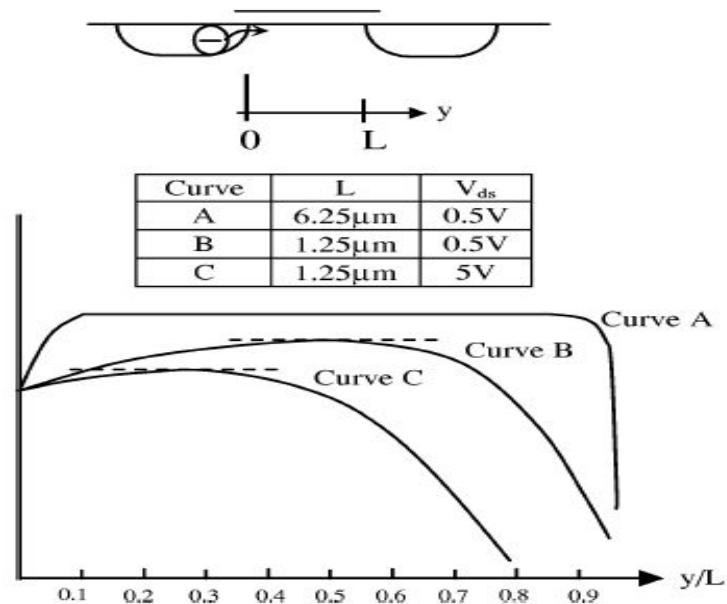


그림 2.6 : Channel 내부의 Energy bending

DIBL 은 channel 의 표면에서 source 와 drain 의 depletion 영역이 서로 영향을 받을 때 발생하며, source potential barrier 를 낮추어 주게 된다. 높은 drain voltage 인가시 depletion 영역의 barrier 높이를 낮추어 주게 되어 threshold voltage 가 감소하게 된다. 그와 동시에 source 에서는 channel surface 로 carrier 를 주입한다.

DIBL 은 subthreshold slope (S_t)는 변화시키지 않고 V_{th} 를 낮추어 준다. DIBL 효과에 의해 drain 전압이 증가할수록 $I_d - V_g$ curve 가 위로 shift 되는 것을 [그림 2.7]에서 확인할 수 있다.

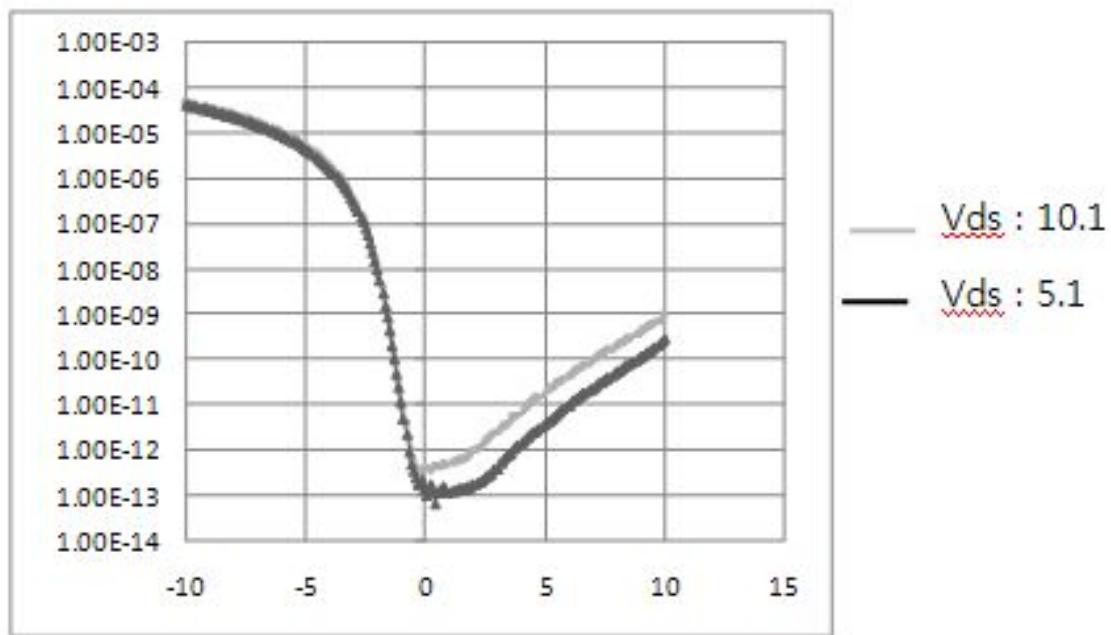


그림 2.7 : V_{ds} 에 따른 $I_d - V_g$ curve

2-2-2 Body effect

Reverse bias 된 well-source junction 은 bulk depletion 영역을 넓혀주고, threshold voltage 를 증가 시킨다. Body effect 는 V_{th} 변화에 의해 아래의 수식(6)으로 확인 할 수 있다.

$$V_{th} = V_{fb} + 2\psi_B + \frac{\sqrt{2\varepsilon_{si}qN_a(2\psi_B + V_{bs})}}{C_{ox}} \quad (6)$$

V_{fb} = flat band voltage; N_a = doping density in the substrate;

$$\psi_B = (KT/q) \ln(Na/ni)$$

위 식에서 V_{th} 의 V_{bs} 에 의한 기울기(7)로 나타낼 수 있으며, doping 농도가 증가할수록 V_{th} 의 변화가 커짐을 알 수 있다.

$$\frac{dV_{th}}{dV_{bs}} = \frac{\sqrt{\frac{\epsilon_{si} q N_a}{2(2\psi_B + V_{bs})}}}{C_{ox}} \quad (7)$$

[그림 2.7]은 well – source 의 reverse bias 가 인가될 경우 n channel drain current 가 억제됨을 보여준다.

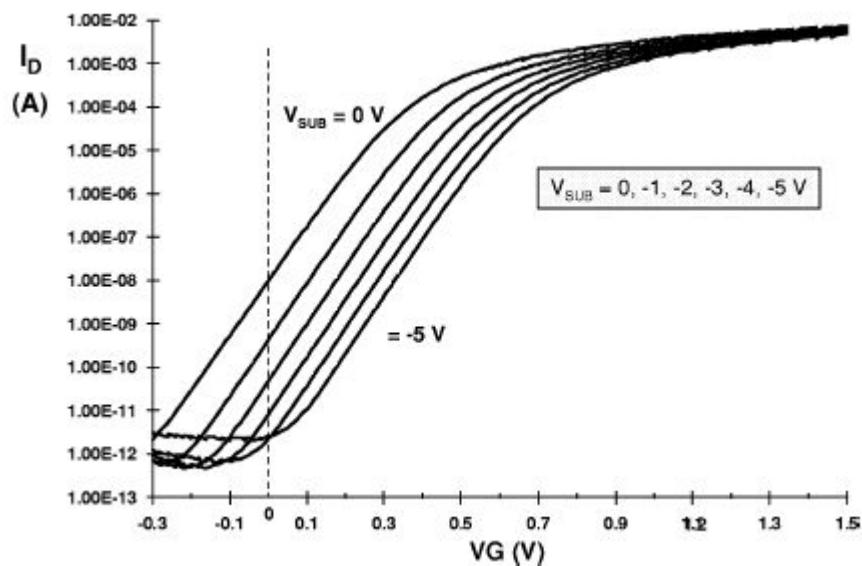


그림 2.8 : n channel log(Id) – Vg

위에서 나타난 subthreshold leakage 에 영향을 미치는 weak inversion, DIBL, and body effect 를 포함하여 모델링 하면,

$$I_{\text{subth}} = A \times e^{1/mv_T(V_G - V_S - V_{\text{th0}} - \gamma' \times V_S + \eta V_{\text{DS}})} \times \left(1 - e^{-v_{\text{DS}}/v_T}\right) \quad (8)$$

$$A = \mu_0 C'_{\text{ox}} \frac{W}{L_{\text{eff}}} (v_T)^2 e^{1.8} e^{-\Delta V_{\text{th}}/\eta v_T} \quad (9)$$

V_{th0} = zero bias threshold voltage; v_T = KT/q ;

γ' = linearized body effect coefficient; η = DIBL coefficient

μ_0 = zero bias mobility, m – subthreshold swing coefficient of the transistor

2-3 Injection of hot carriers from substrate to gate oxide (I3)

Short channel transistor에서 Si-SiO₂ 계면에서의 높은 전계가 인가되면, 전자나 정공은 전계로부터 충분한 에너지를 얻어 potential barrier를 건너뛸 수 있으며, Oxide 층으로 들어가게 된다.[그림 2.9] 이를 hot carrier injection이라 한다. Si에서 SiO₂로의 injection은 electron의 effective mass가 더 작기 때문에 hole에 의한 것보다 electron에 의해 쉽게 일어난다.

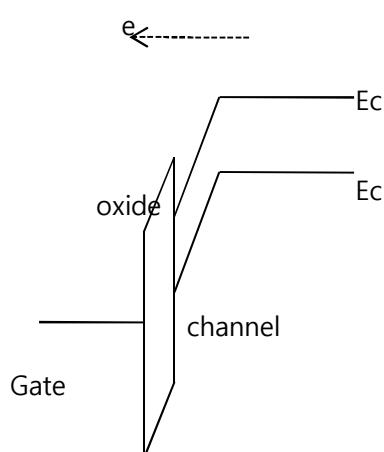


그림 2.9 : injection of hot electrons

2-4 GIDL(Gate Induced Drain Leakage)

GIDL(Gate Induced Drain Leakage)는 drain junction 부의 high field effect에 기인한다. N-MOS의 경우 silicon 표면이 accumulation 될 수 있도록 gate에 bias(-)를 인가하면, gate 아래에 있는 silicon은 p-type이 된다. 즉 silicon 표면에서는 기판에서보다 heavily doped p region이 된다(그림 2.10.a). 이것은 표면에서 depletion 영역이 좀더 좁아 짐을 의미한다. Gate의 bias(-)가 증가하면 gate 아래의 n+ drain region 까지도 depletion이 되거나 inversion이 된다(그림 2.10.b). 이는 local electric field의 증가 시키게 된다. 이는 band to band tunneling이 가능하게 만들어 drain으로의 leakage를 형성 시켜 주게 된다.

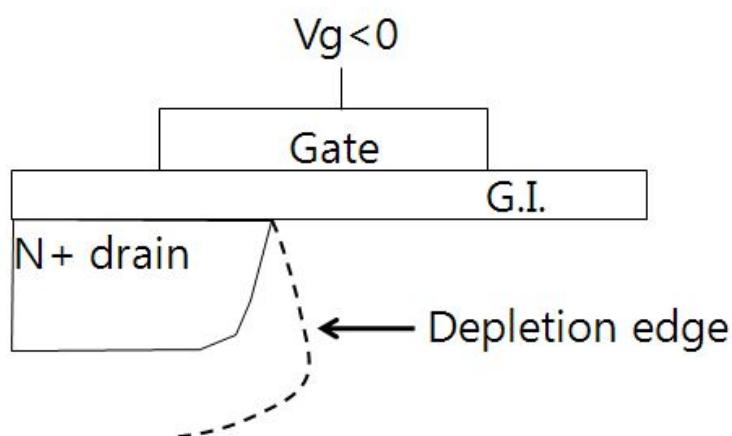


그림 2.10.a : $V_g < 0$ 일 때 depletion edge

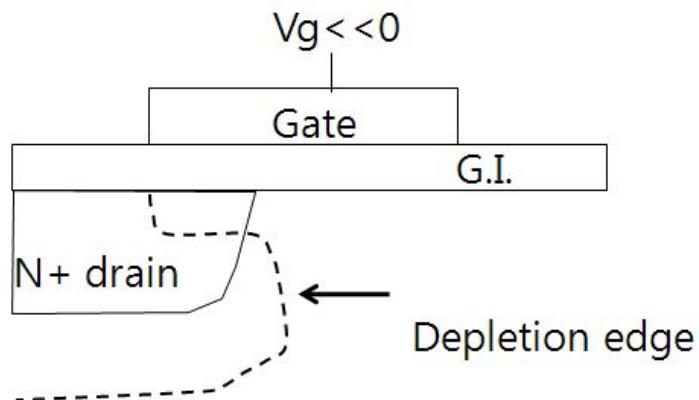


그림 2.10.b : $V_g < < 0$ 일 때 depletion edge

V_{ds} 및 V_{gs} 의 함수로 써 GIDL current는 [그림 2.7]에 나타난다.

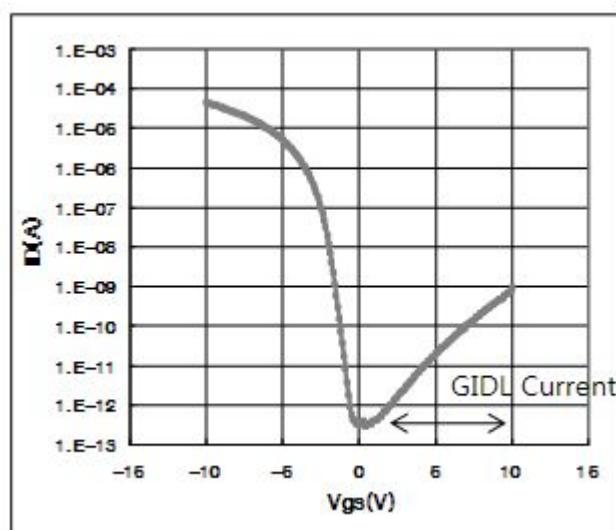


그림 2.11 : V_{ds} 에 따른 $I_d - V_g$ curve

[그림 2.12]는 coplanar 구조 TFT 의 게이트 전압이 증가함에 따라 GIDL 전류의 증가현상을 설명하는 에너지 밴드다이어그램이다. LTPS TFT 의 누설전류 발생원인은 크게 2 가지로 분류할 수 있다. 첫째는 TFT 가 off 상태일 때 채널영역에는 전자가 축적되어 있는 상태이기 때문에 p+ 도핑 영역인 드레인 영역과 pn 접합 상태를 형성하게 된다. 또한 p+ 도핑 영역은 채널영역에 비해서 상대적으로 (-)전압이 인가되기 때문에 pn 접합 다이오드의 역방향 전압 인가와 유사한 형태를 이루게 된다. 따라서 pn 접합 다이오드에서 역방향 누설전류(소수 캐리어의 확산 / 이동)와 유사한 상태의 전류가 흐르게 된다. 이와 더불어 drain 접합 영역의 공핍층이 축소되면 공핍층내 강한 전기장이 형성되며 이로 인해 [그림 2.12 (a)]에서처럼 전자 – 전공 쌍전하를 생성하게 된다. 이렇게 생성된 전자 – 정공은 각각 터널링 현상에 의해 전자는 전도대로 이동하고 정공은 가전도대로 이동하여 누설전류에 기여하게 된다. 둘째는 [그림 2.12 (b)]와 같이 게이트 전압이 증가함에 따라 드레인 접합 영역의 p+ 도핑 영역에서 공핍 영역이 발생하게 되고 게이트 전압 증가에 따라 공핍영역의 폭이 축소되어 공핍영역 내에 강한 전기장을 형성하게 된다. 이렇게 형성된 전기장에 기인하는 BTBT(Band to band tunneling)으로 인한 누설전류를 GIDL 전류라고 하며 일반적으로 LTPS TFT 의 I_{off} 는 GIDL 전류가 주원인으로 알려져 있다.[8]

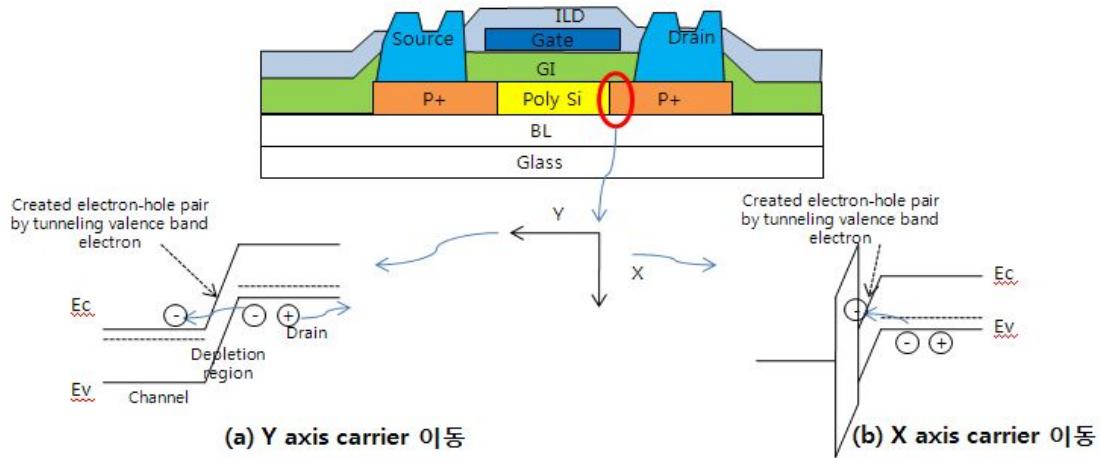


그림 2.12 : GIDL 전류의 Band Diagram

2-5 Punch through

Short channel device에서 drain과 source가 가까워지기 때문에 drain – substrate 및 source – substrate의 depletion 영역이 channel로 늘어나게 된다. Channel length 가 줄어들수록 분리된 depletion 영역이 감소하게 된다. 또한 V_{ds} 의 증가 하게 되면 reverse bias 가 증가하게 되어 junction 이 더 가까워지게 된다. reverse bias 에 의한 depletion 영역이 증가하여 drain – substrate 및 source – substrate의 depletion 영역이 channel length 가 동일해 질 때 punch through 가 되었다고 말할 수 있다. Gate 하부의 Doping 된 영역에 의해 표면 보다는 표면 아래의 영역에서 depletion 영역의 확장이 더 잘되므로, punch through 는 표면 아래에서 발생한다.

제 3 장 OLED 구동 회로 및 Off Leakage 에 의한 불량

3-1 OLED 구동 회로

OLED panel 은 전류 구동에 의해 EL 이 발광하게 된다. 이를 구현하기 위해 기본적으로 아래의 [그림 3.1]과 같은 기본 회로를 가지게 된다.

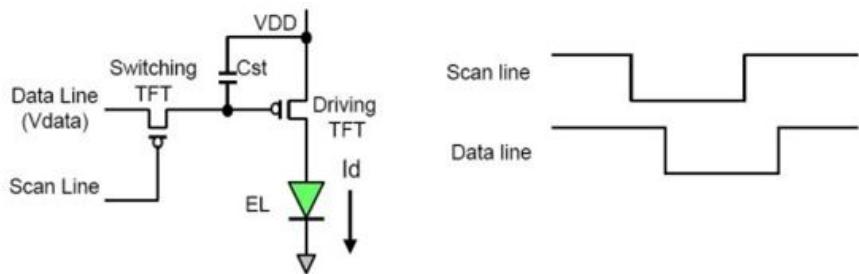


그림 3.1 : OLED 기본 구동 회로

전류구동을 위해 전기적 stress 에 대한 V_{th} 변화가 매우 작아야 하며 고개구율을 확보하기 위해 mobility 가 $50\text{cm}^2/\text{v-sec}$ 이상 확보 되어야 한다. 이러한 조건을 만족시키기 위해 p Si 을 적용한 TFT 가 적용되고 있다.

간단한 동작원리는 Switching TFT on 이 되었을 때 data 신호가 driving TR 의 gate 에 입력된다. VDD 는 고정된 전압값을 가지므로 gate 전압에 의해 V_{gs} 가 결정되며 전체 current 를 control 하게 된다. 또한 V_{ds} 의 변화에 대한 민감도를 최소화하기 위해 saturation mode 에서 driving transistor 가 동작하게 되며, EL 의 산포에 의해 V_{gs} 가 영향을 받지 않도록 하기 위해 PMOS 를 적용하게 된다. 또한 PMOS 를 적용할 경우 NMOS 대비 안정적인 off current 를 형성할 수 있고, anode 전극을 ITO 전극으로 사용할 수 있으므로 normal OLED 구조 적요에 매우 용이하다. 이 때 saturation mode 에서의 driving tr 의 전류식은 아래 수식을 따른다

$$I_D(sat) = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad (5)$$

I_D = Drain Current; μ = mobility; C_{ox} = Gate Oxide Capacitance;

W = Transistor 의 Width; L = Transistor 의 Length; V_{th} = Threshold Voltage

Saturation mode에서 동작하기 위한 구동 조건은 $V_{ds} > V_{gs} - V_{th}$ 가 되며, 이 구간에서 동작점이 형성 될 수 있도록 구동 조건을 설정해야 한다.

구동시 동작점은 driving tr의 output curve와 OLED 소자의 I-V curve가 만나는 점에서 형성된다[그림 3.2]. Driving TR의 V_{gs} 가 클 경우에는 V_{ds} 가 작아져 대부분의 전압이 OLED 소자에 인가되어 많은 Current를 흐르게 하며, V_{gs} 가 작을 경우에는 V_{ds} 가 커져 소량의 전압이 OLED 소자에 인가되어 적은 Current를 흐르게 한다.

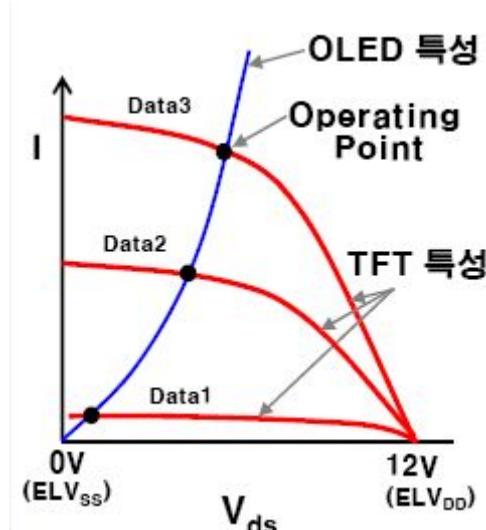


그림 3.2 : OLED Panel의 동작점

OLED 소자에서 발생하는 광량은 전류에 비례한다. RGB OLED 소자에 따라 각각 다른 비례상수를 가지고 광량이 결정된다.[그림 3.3]

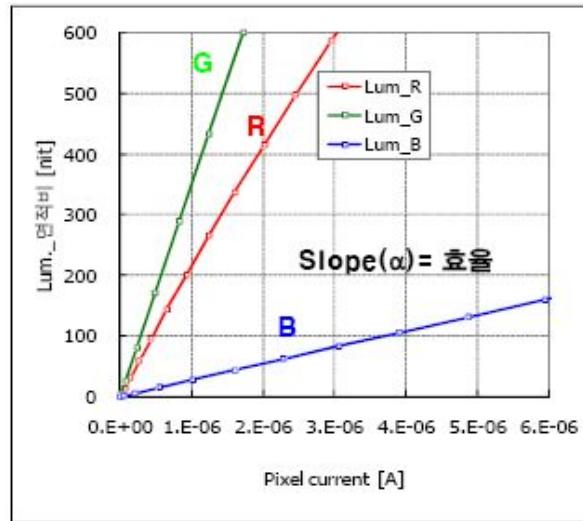


그림 3.3 : OLED 소자의 L-I 특성

OLED panel에서는 driving TR과 OLED 소자가 연결되어 있으므로 driving TR의 I_{ds} 에 의해 OLED 소자에 의한 광량을 확인 할 수 있다.

$$\begin{aligned}
 I_{ds} &= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \\
 I_{ds} &= K (V_{gs} - |V_{th}|)^2 \\
 &= K \{ (V_g - ELV_{DD}) - |V_{th}| \}^2 \quad (6)
 \end{aligned}$$

I_D = Drain Current; u = mobility; C_{ox} = Gate Oxide Capacitance;

W = Transistor 의 Width; L = Transistor 의 Length; V_{th} = Threshold Voltage

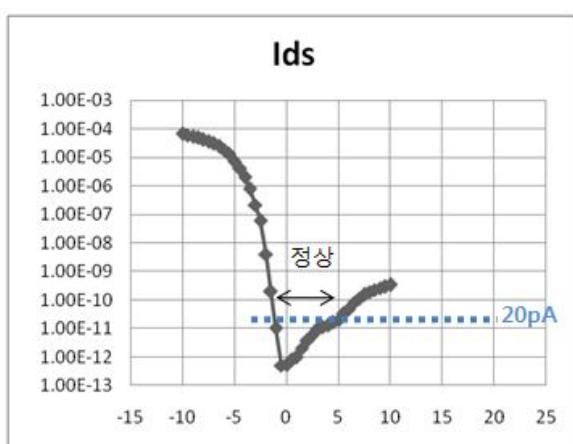
광량은 I_{ds} 에 비례하므로 아래와 같이 표현된다

$$L = \alpha (V_g - ELV_{DD} - |V_{th}|)^2 \quad (7)$$

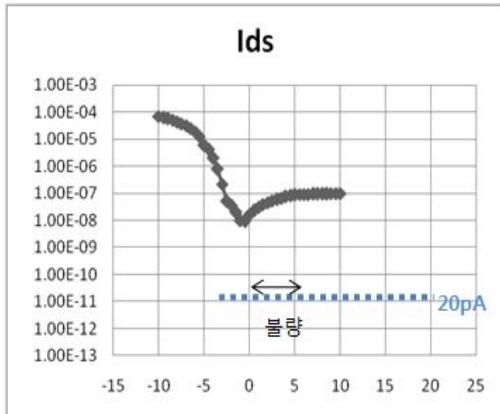
즉 Pixel 의 밝기는 $(V_g)^2$ 에 의해 결정되며 V_g 는 data 값이므로 $(V_{data})^2$ 에 의해 결정된다. 또한 luminance 는 V_{th} 에 의해 변화되므로, V_{th} 에 의해 영향을 받지 않도록 보상회로를 적용해야 한다.

3-2 Off Leakage 에 의한 불량 발생

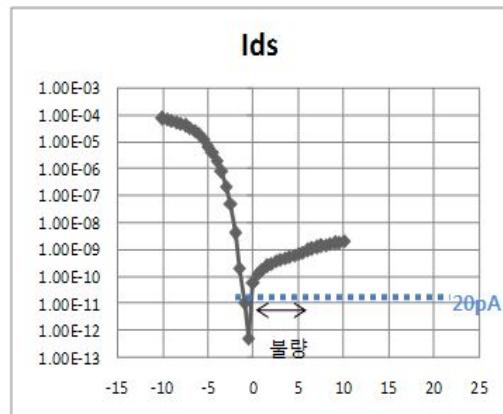
최근 OLED(Organic Light Emitting Diodes) Panel 의 수요가 폭발적으로 늘어나고 있는 가운데 고해상도 구현을 위한 많은 기술들이 발전하고 있다. 고해상도 구현을 위해 TR 과 capacitor 가 차지하는 면적을 줄여주어야 하며, 이를 위해 gate insulator 의 두께를 낮추고 있다. GI 의 두께가 줄어들면 정전기나 기타 외부 요인에 의해 I_{off} leakage current 가 증가하게 되는 경우가 발생하게 되며, 이는 I_{ds} 에 증가에 따른 OLED 소자의 emission 을 증가시켜 주게 되며, Black 구동시의 약명점 불량으로 시인된다. 또한 저제조에서의 얼룩 불량을 유발하게 된다. [그림 3.4]



(a) 정상 TR 특성



(b) 불량 Ioff 특성_1



(c) 불량 Ioff 특성_2

그림 3.4 : GIDL 전류의 band diagram

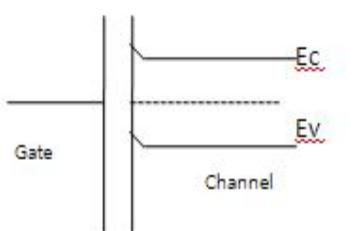
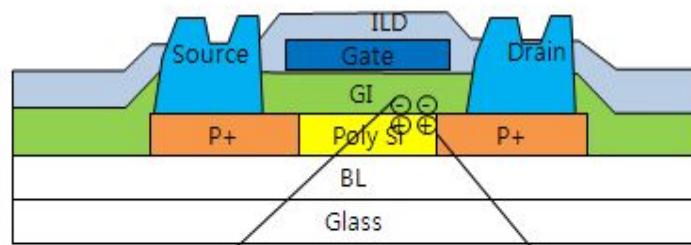
OLED Panel 은 I_{off} 특성과 anode 의 ITO 적용을 위해 PMOS 를 사용하고 있으며, OLED 소자를 off 시키기 위해서 driving TR 이 off 되어야 하므로 V_{gs} 의 구동 전압은, $1 < V_{gs} < 5$ 범위에서 형성되게 된다. 이때 EL current $< 20 pA$ 수준에서 형성이 되나, 예상치 못한 외부 요인에 의해 EL 의 current 가 $20 pA$ 이상 증가하게 될 경우 약명점 불량이 발생하게 된다.

3-3 OSBS(Off State bias Stress)를 통한 I_{off} Control

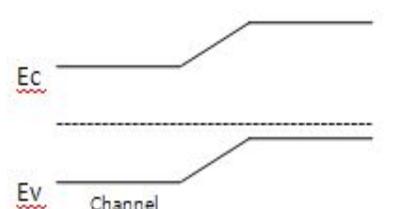
I_{off} 가 예상치 못한 외부 요인에 의해 증가하게 된 경우 인위적으로 OSBS(off State bias stress)를 가하게 되면 원하는 동작범위 내에서 driving / switching TR 의 current 를 $20 pA$ 내에서 control 할 수 있다.

OSBS 는 점등 검사 진행시 간단한 voltage bias 인가로 가능하며, PMOS 에 적용시 gate 및 source 에 positive bias 를 인가하고 drain 에 negative bias 를 인가한다.

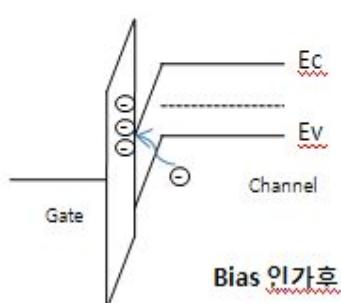
Gate 에 positive bias 를 인가하게 되면 channel 의 표면은 bend bending 이 아래로 이루어져 E_v level 의 electron 이 E_c level 로 tunneling 되어 GI 에 trap 되게 된다. 또한 GI 에 trap 된 electorn 에 의해 drain 영역에는 hole 이 유도되게 된다. 이는 OSBS 에 의해 GI 에는 electron 이 trap 되어 gate field 를 일정 범위내에서 느끼지 못하도록 하여 GIDL 전류를 낮추어 주며, Drain 영역에 유도된 정공에 의해서 형성된 LDD(light doped drain)효과에 의해 DIBL 전류를 낮출 수 있다.[그림 3.5]



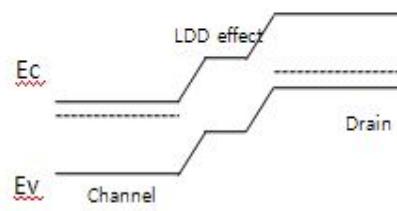
초기 상태



초기 상태



(a) GIDL Control



Bias 인가호

(b) DIBL Control

그림 3.5 : OSBS(Off State bias Stress) 효과

실제 OSBS 적용하여 aging 진행 결과 아래와 같이 Ioff current 가 감소함을 알 수 있다.[그림 3.6]

OSBS Voltage : $V_g = 15$; $V_s = 0$; $V_d = -25$

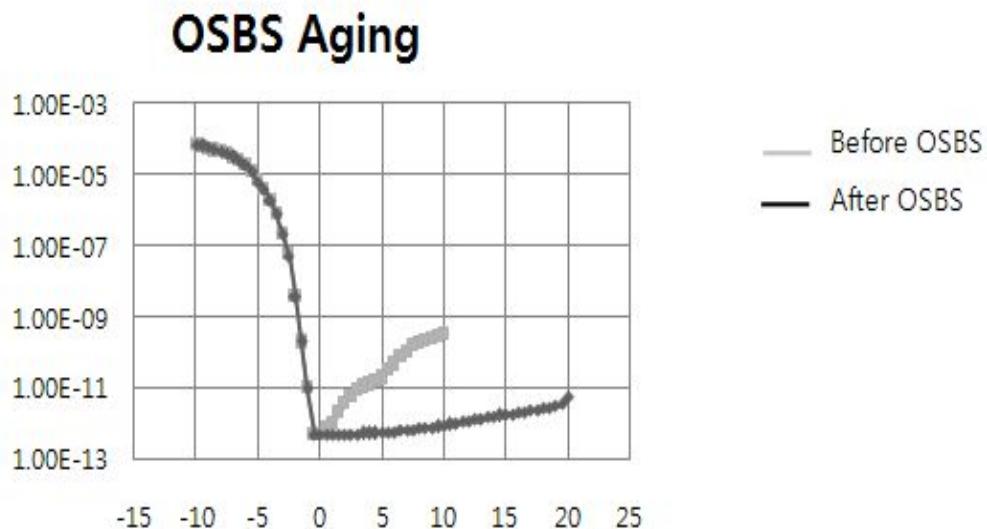


그림 3.6 : OSBS(Off State bias Stress) 전후 비교

아래 [그림 3.7]은 OSBS 를 적용하여 실제 약명점 pixel 의 Ioff leakage 가 줄어듦에 따라 정상동작되는 결과를 보여주고 있다.

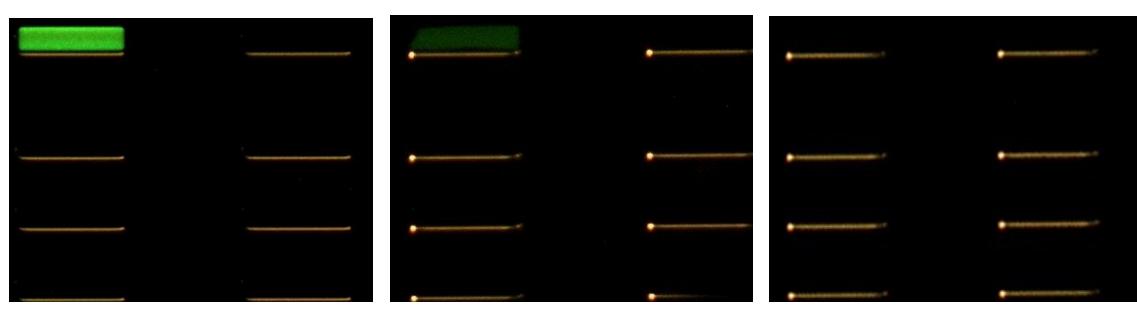
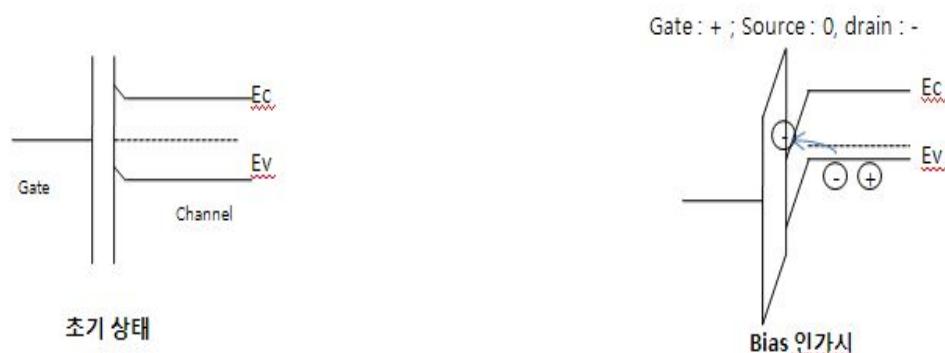
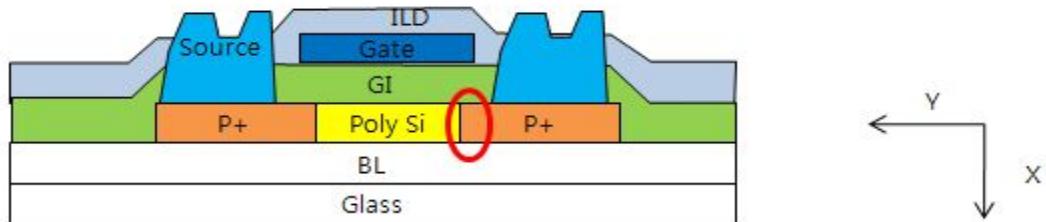


그림 3.7 : OSBS(Off State bias Stress) 전후 불량 비교

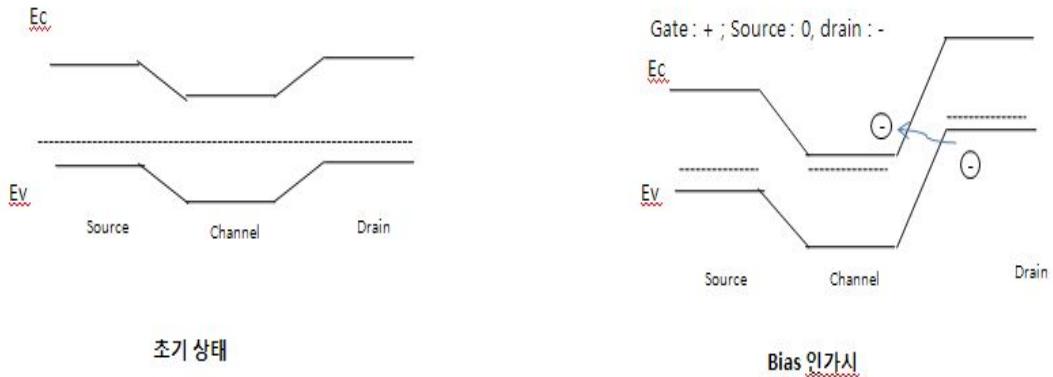
제 4 장 OSBS 적용 조건 및 불량 개선 결과

4-1 Vgd 조건에 따른 OSBS 결과

Vgd 조건 변화에 따른 OSBS 를 적용하였을 때 off leakage current 가 어떻게 변하는지 확인하였다. Vgd 는 Vgs 와 Vds 의 두 인자로 나눌 수 있다. 첫번째는 Vgs 를 고정후 Vds 의 bias 를 변경시키면서 OSBS 를 인가하였다. 이때 Vs 는 ground 의 기준전압으로 고정시켜 놓고 실험을 실시하였다. 아래 [그림 4.1]의 band diagram 을 통해 이 때의 band banding 을 알 수 있다.



(a) X axis band bending에 의한 electron accumulation



(b) Y axis band bending에 의한 electron accumulation

그림 4.1 : OSBS(Off State bias Stress) 전후 불량 비교

OSBS 인가시 channel 의 surface 로 electron \ominus accumulation 되어 GI에 trap 되는 현상을 확인 할 수 있다. GI에는 electron \ominus trap 되어 gate field를 일정 범위내에서 느끼지 못하도록 하여 GIDL 전류를 낮추어 주며, drain 영역에 유도된 정공에 의해서 형성된 LDD(light doped drain) 효과에 의해 DIBL 전류를 낮출 수 있다. V_{ds} 를 증가하였을 경우에는 channel 과 drain 간의 band bending이 더욱 심해지며, valance band electron 의 tunneling에 의해 GI에 electron trap \ominus 증가하게 된다. 이는 Gate에 positive bias를 더 인가하더라도 field를 느끼지 못하게 하는 역할을 하게 된다. 이에 대한 I-V curve를 [그림 4.2]에서 확인 할 수 있다. [그림 4.2]에서의 조건은 PMOS TFT $W/L = 5/7$ 이며, V_{gs} 는 5V로 고정시키고, V_{ds} 를 $-20, -25, -30V$ 로 증가시켜 평가한 결과이다.

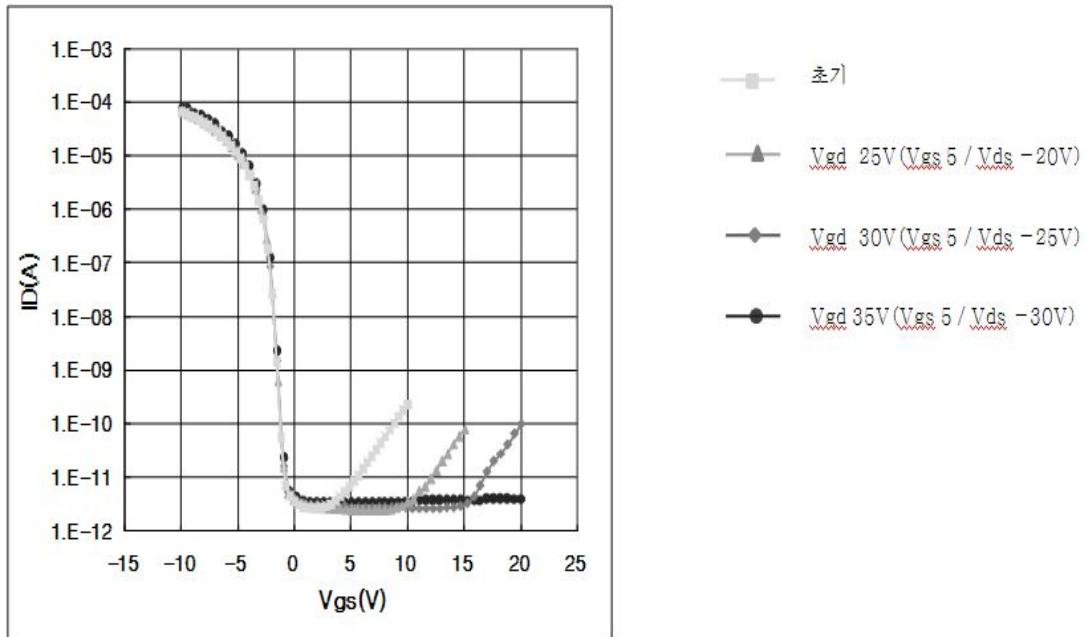


그림 4.2 : V_{gd} 변화에 따른 I_{off} aging 수준 변화

[그림 4.2]의 결과를 보았을 때 V_{gd} 를 증가시켰을 때 OSBS 의 효과가 증가되어, V_{gs} 에 대한 I_{off} current 가 control 되는 범위가 넓어짐을 확인 할 수 있다

4-2 V_{gd} 고정후 V_{gs} 및 V_{ds} 조건에 따른 OSBS 결과

V_{gd} 가 증가할 때 OSBS 에 의한 aging 효과가 증가함을 확인 할 수 있었다. 이번 실험에서는 TFT $W/L = 5/7$ 이며, V_{gd} 를 고정시켜 놓고 V_{gs} 와 V_{ds} 를 변화시켜 가며 OSBS 의 효과를 확인하였다.[그림 4.3]

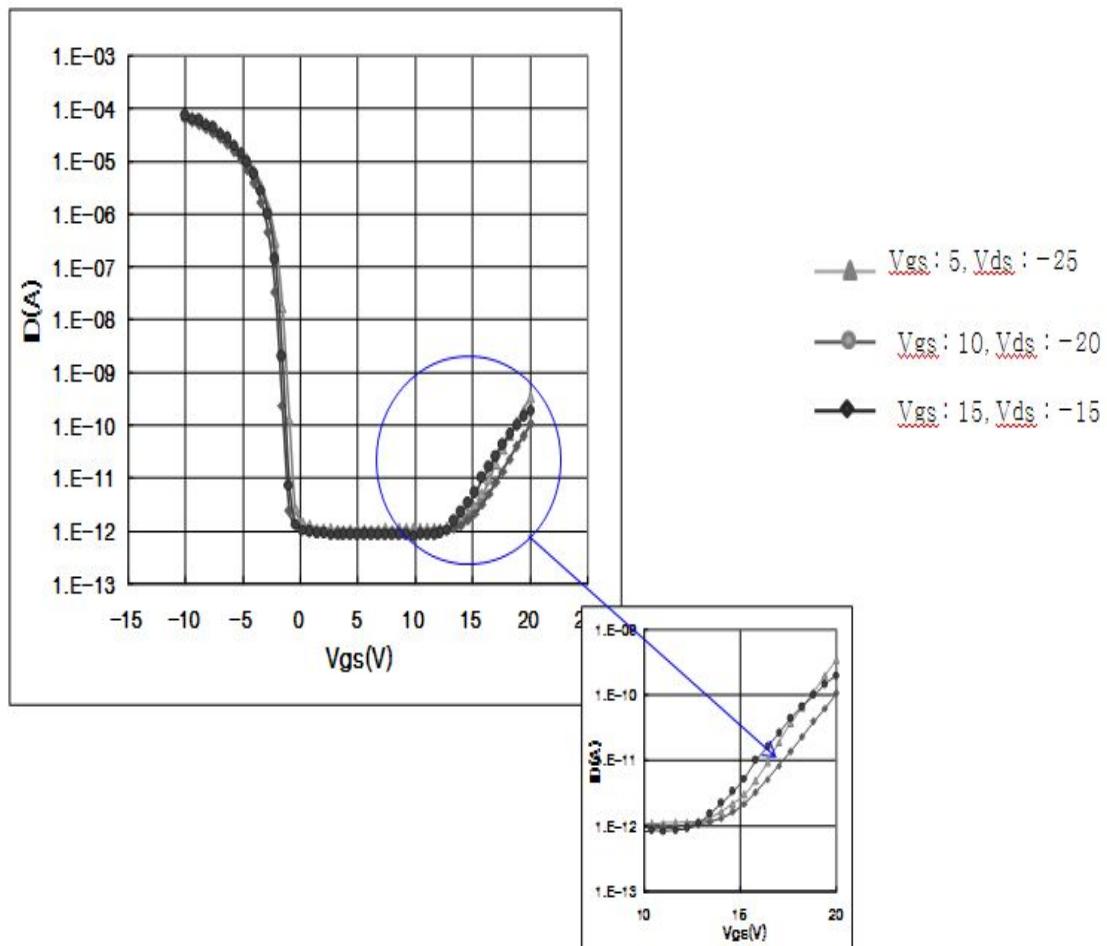


그림 4.3 : V_{gs} 및 V_{ds} 변화에 따른 I_{off} aging 수준 변화

[그림 4.3]에서와 같이 V_{gd} 를 고정시켜놓고 V_{gs} 와 V_{ds} 를 변화시킬 경우 OSBS 에 의한 aging 효과는 산포내에서 움직임을 알 수 있다. 즉 OSBS 에 의한 aging 효과에 영향을 주는 인자는 V_{gd} 임을 알 수 있다.

4-3 TFT Size에 따른 OSBS 결과

PMOS TFT의 W/L을 바꾸어 가며 OSBS를 평가하였다. 첫번째는 width를 고정하고 length를 변경하여 실험을 실시한 결과이다. PMOS TFT의 OSBS 평가 조건은 V_{gs} 10V 및 V_{ds} -20V로 고정하고 $W/L = 10/7$ 및 $10/15$ 로 나누어 진행하였다.[그림 4.4]

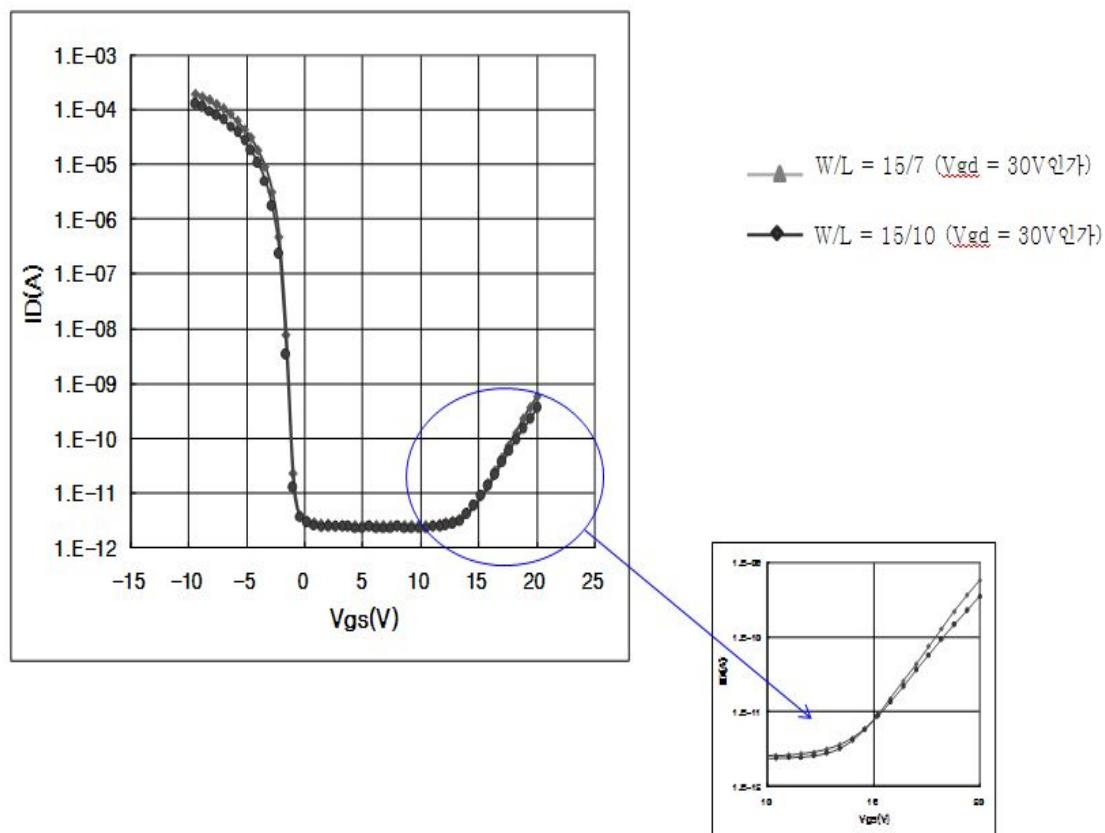


그림 4.4 : TR의 Length 변화에 따른 I_{off} aging 수준 변화

[그림 4.4]에서와 같이 TFT의 width를 고정시켜놓고 length를 변화시킬 경우 OSBS에 의한 aging 효과는 산포 내에서 움직임을 알 수 있다. 즉 length가 변하더라도 V_{gd} 의 값이 일정한 경우 OSBS의 효과는 일정함을 알 수 있다.

다음으로 PMOS TFT 의 length 를 고정하고 width 를 변경하여 실험을 실시한 결과이다. PMOS TFT 의 OSBS 평가 조건은 V_{gs} 10V 및 V_{ds} -20V 로 고정하고 $W/L = 5/7$ 및 $10/7$ 로 나누어 진행하였다.[그림 4.5]

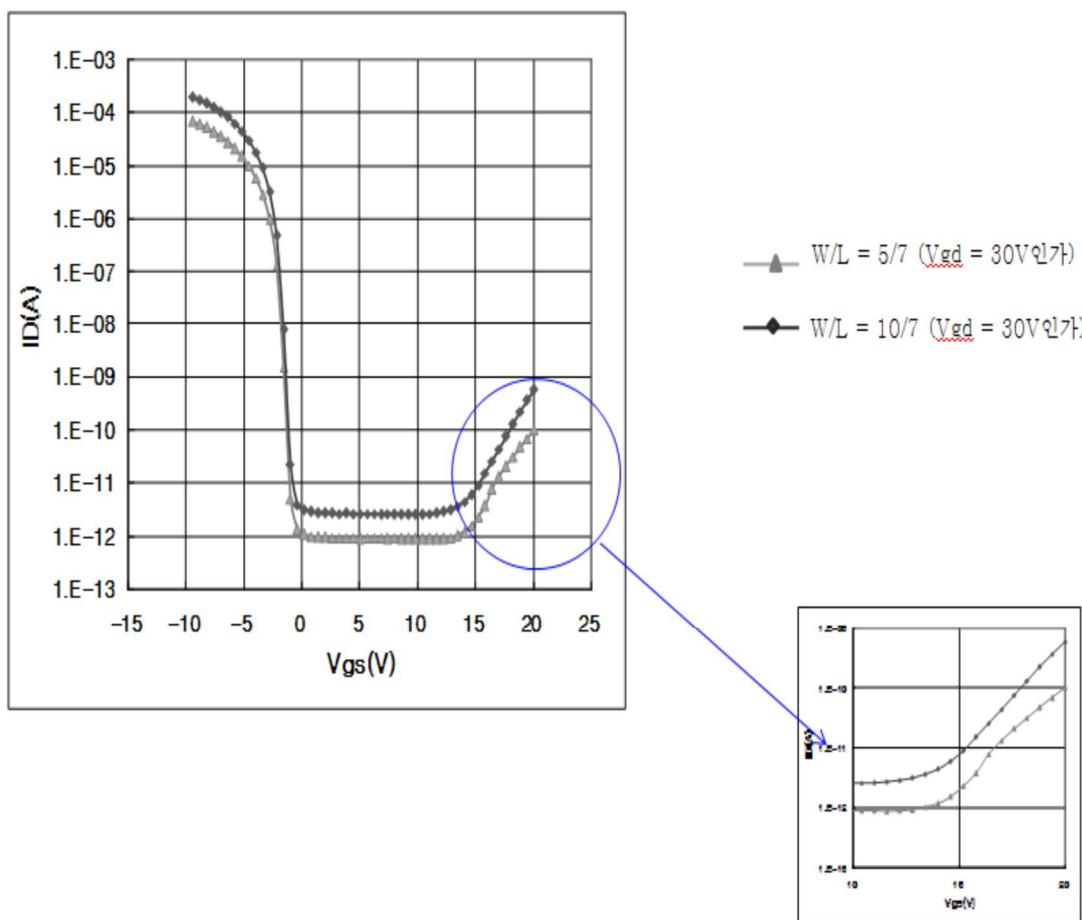


그림 4.5 : TR 의 Length 변화에 따른 Ioff aging 수준 변화

[그림 4.5]에서와 같이 TFT의 length를 고정시켜놓고 width를 변화시킬 경우 width가 증가시 TR에 대해서 I_{off} 가 약 0.3pA 증가함을 알 수 있다. 이는 Width 증가에 따른 일반적인 I_{off} 증가 현상이다. OSBS에 의한 aging 효과는 width에 의한 I_{off} 증가를 고려하지 않았을 때 산포 내에서 움직임을 알 수 있다. 즉 width가 변하더라도 V_{gd} 의 값이 일정한 경우 OSBS의 효과는 일정함을 알 수 있다

4-4 V_{gs} 및 V_{ds} 가혹 조건에 따른 OSBS 결과

4-4-1 V_{gs} 가혹 조건에 따른 OSBS 결과

PMOS TFT의 V_{gs} 및 V_{ds} 의 bias를 높게 인가하여 OSBS 진행 시 어떤 결과가 나타나는지를 확인하였다. 먼저 V_{gs} 를 변화시켜 가며 실험을 진행하였다. 이번 실험에서는 PMOS TFT $W/L = 5/7$ 이며, V_{ds} 를 $-5V$ 로 고정시켜 놓고 V_{gs} 를 25, 30, 35V로 변화시켜 가며 OSBS의 효과를 확인하였다. [그림 4.6]

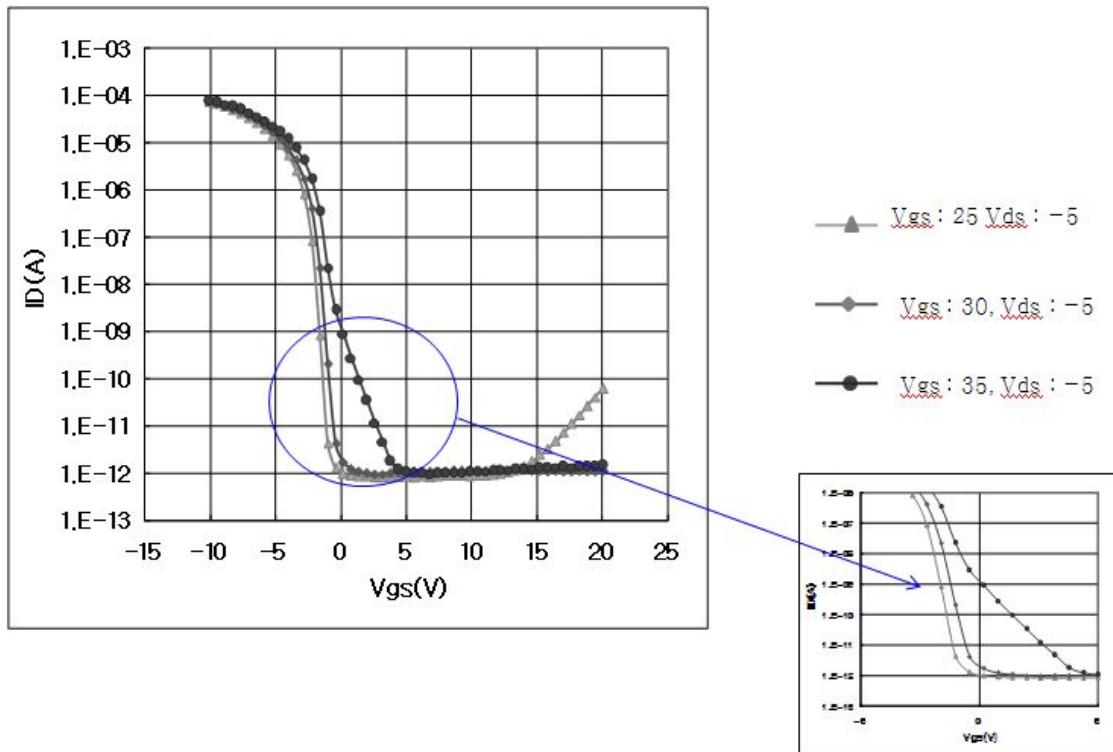
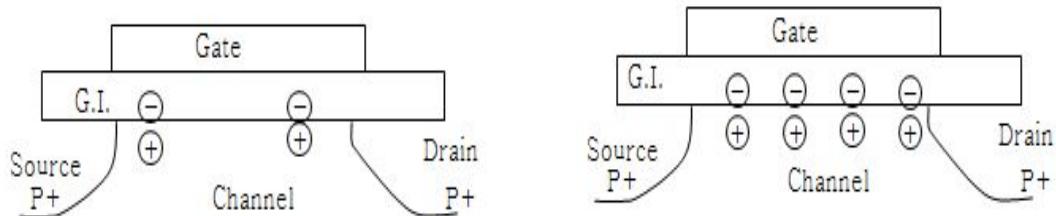
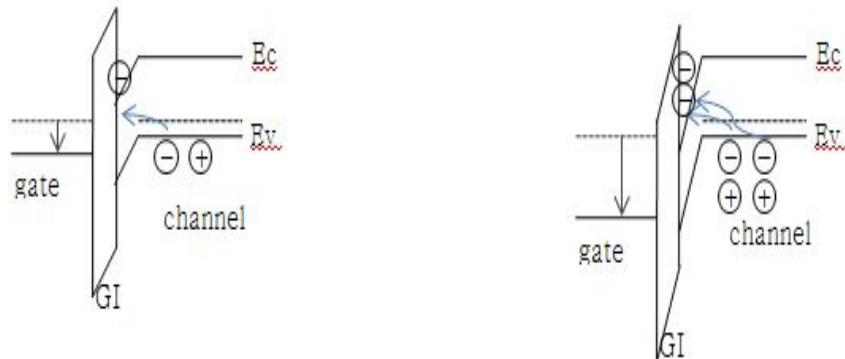


그림 4.6 : V_{gs} 변화에 따른 I_{off} aging 수준 변화

[그림 4.6]에서와 같이 OSBS 인가시 TFT의 V_{gs} 를 30V 이상 증가시킬 경우 V_{th} 가 positive shift 됨을 알 수 있다. 이는 gate voltage 가 증가함에 band banding 이 심해져 tunneling 에 의해 E_V 의 electron 이 GI에 trap 되어 OSBS 인가후 channel에는 hole 이 많아짐에 따라 V_{th} positive shift 현상이 발생하는 것으로 판단된다.[그림 4.7]



(a) Weak gate Bias 인가시

(b) Strong gate Bias 인가시

그림 4.7 : V_{GS} 가혹 조건에 따른 carrier 분포

4-4-2 V_{DS} 가혹 조건에 따른 OSBS 결과

V_{GS} 가혹 조건에 대해서는 V_{th} positive shift 현상을 확인하였다. 이번 실험에서는 V_{GD} 가혹 조건에 따라 graph가 어떻게 변화하는지를 확인하였다. PMOS TFT

$W/L = 5/7$ 이며, V_{gs} 를 $-5V$ 로 고정시켜 놓고 V_{ds} 를 $-20, -25, -40V$ 로 변화시켜 가며 OSBS의 효과를 확인하였다.[그림 4.8]

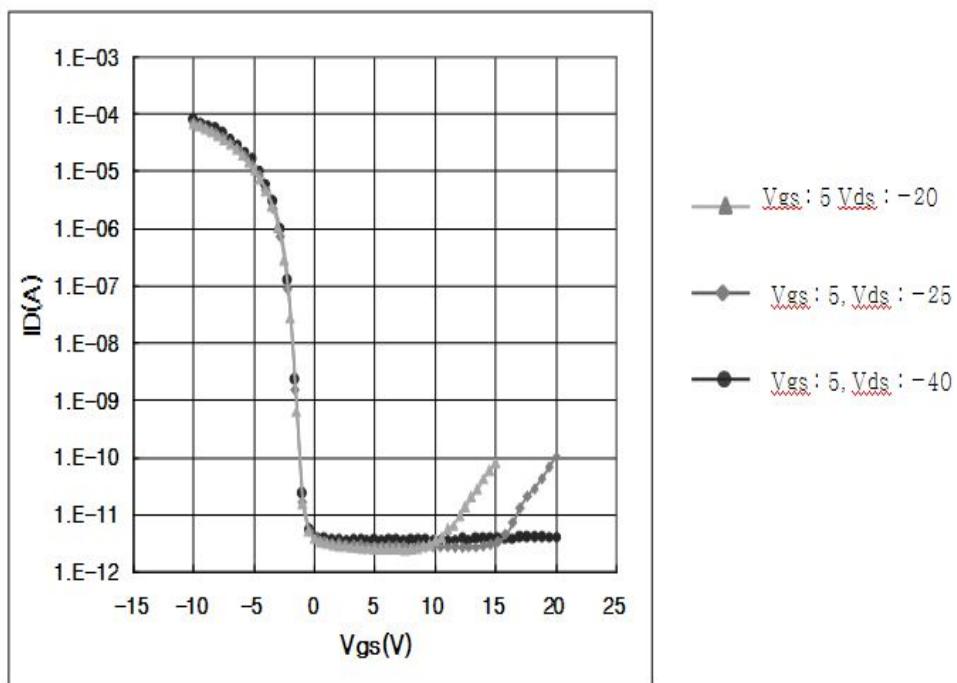


그림 4.8 : V_{ds} 변화에 따른 I_{off} aging 수준 변화

[그림 4.8]에서와 같이 V_{ds} 를 가혹하게 OSBS 인가시 TFT의 $V_{ds} = -40V$ 로 증가하여도 V_{th} Shift가 없음을 알 수 있다. 그러므로 OSBS의 bias를 증가시킬 경우 V_{gs} 는 최소화하고 V_{ds} 를 높여주는 것이 특성에 영향이 없을 것으로 판단된다.

4-5 OSBS 시간에 따른 aging 결과

PMOS TFT 의 OSBS 시간에 따른 결과를 확인하였다. 이번 실험에서는 PMOS TFT W/L = 5/7이며, V_{gs} 5V 및 V_{ds} -25V로 고정시켜 놓고 시간을 10, 30, 60, 600초로 나누어 OSBS의 효과를 확인하였다.[그림 4.9]

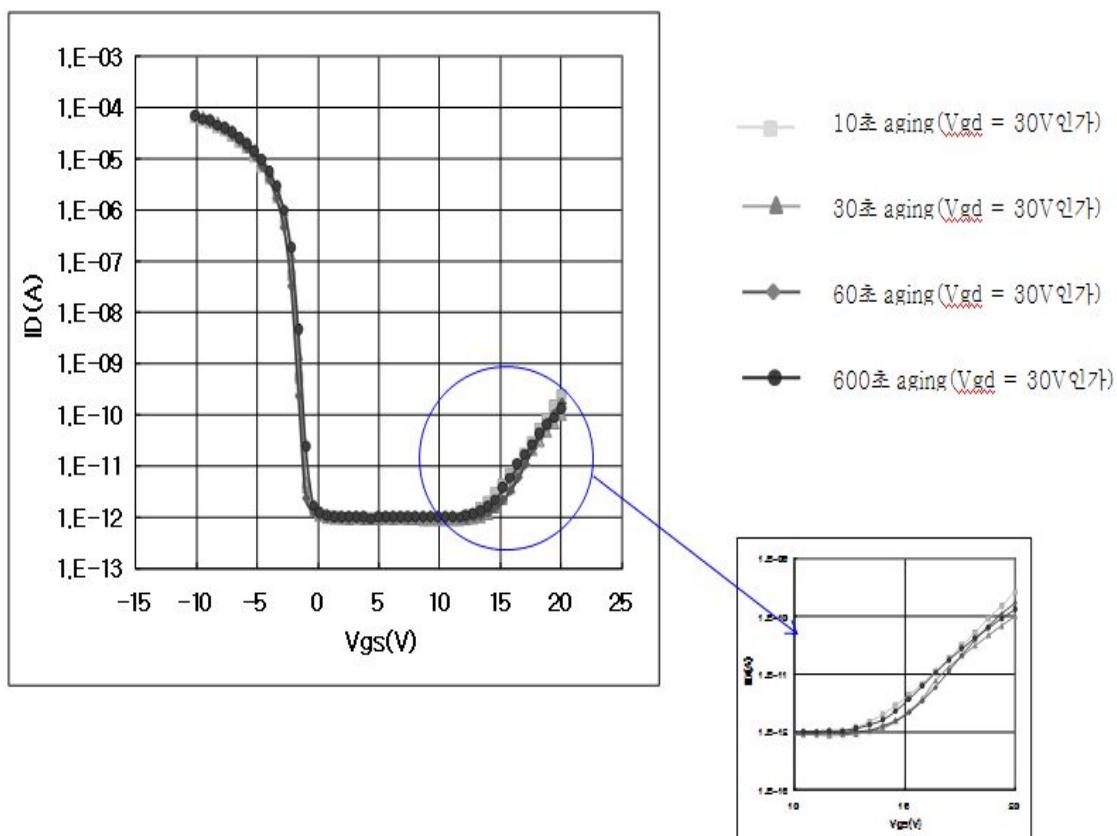


그림 4.9 : aging 시간에 따른 I_{off} 변화

[그림 4.9]에서와 같이 aging 시간을 10초 이상 진행할 경우에 시간을 늘려도 I_{off} 의 수준은 크게 변하지 않는 것으로 판단된다. 그러므로 실제 OSBS 인가시 시간을 10초로 최소화 할 수 있다.

4-6 명점 pixel 의 OSBS 결과

실제 불량 발생 pixel에 대하여 OSBS를 적용하여 I_{off} leakage의 개선 유무를 확인하였다. 불량이 발생한 Pixel의 특성 측정 결과 실제 I_{off} leakage level이 $1e-09A$ 수준으로 정상 대비 매우 높은 것으로 확인되었다. 불량 Pixel에 대해 아래와 같이 OSBS를 적용하여 I_{off} control이 가능한지를 확인하였다.[그림 4.10]

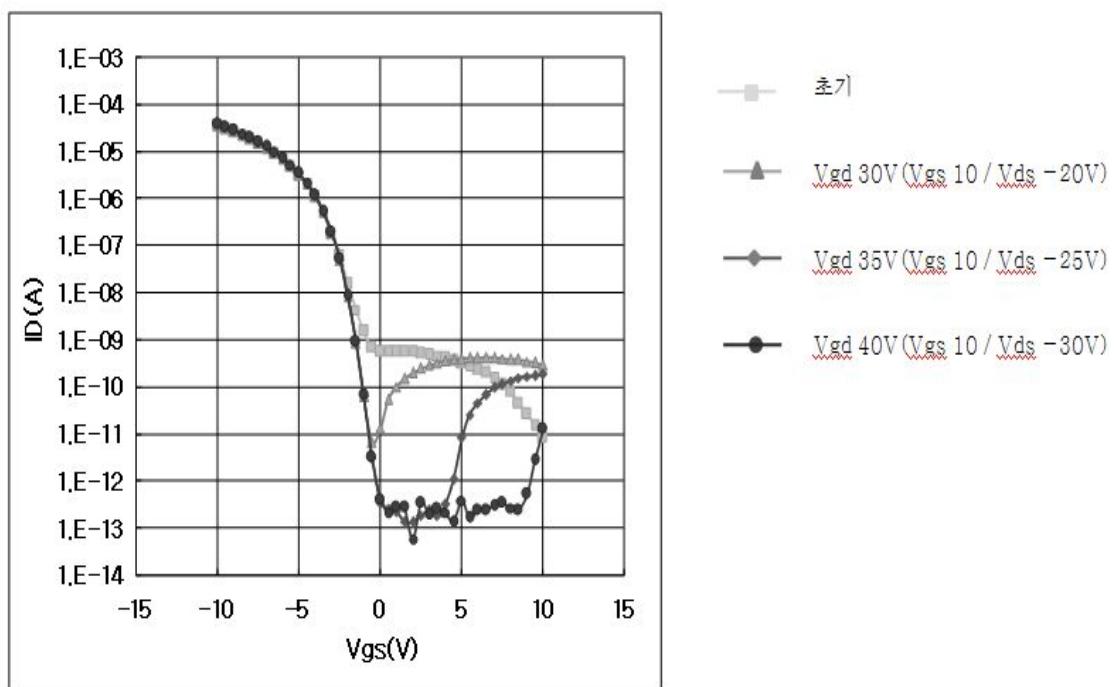


그림 4.10 : 명점 pixel의 OSBS 결과

[그림 4.10]에서와 같이 OSBS 진행시 TFT의 I_{off} level이 정상 수준으로 측정됨을 확인 할 수 있었다. aging 시간은 10초로 진행하였으며, bias 조건은 V_{gd} 40V로 진행하였다. 이때 normal pixel의 V_{gd} 30V 인가시와 동일한 수준의

Ioff level 이 확인되는데 이는 초기의 Ioff level 이 높아 OSBS 를 좀 더 가혹하게 진행하였을 때 정상 pixel 처럼 동작함을 알 수 있다.

[그림 4.11]를 통해 명점 pixel 이 OSBS 를 진행 후 정상 동작함을 확인 할 수 있다.

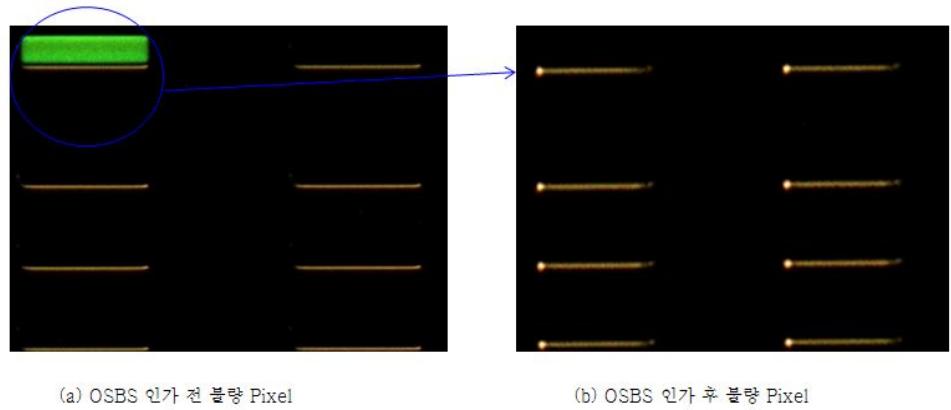


그림 4.11 : OSBS 인가 전후 불량 Pixel

4-7 온도 가혹 test 에 의한 특성 측정

명점 pixel 에 대해 OSBS 를 통해 Ioff control 이 가능함을 확인하였다. 이에 대해 실제 가혹 조건에서 control 된 Ioff 가 유지될 수 있는지 확인하였다. 가장 가혹한 조건 중에 하나인 고온 신뢰성을 실험하였다. 실험은 OSBS 적용한 TR 에 대해 100 / 120 / 150 도 각각 10 분 stress 인가후 특성을 측정하였다.[그림 4.12] 고온 stress 를 인가하였을 경우 OSBS 에 의해 유효한 Ioff 를 확보하는 Vgs 의

범위가 줄어듦을 알 수 있다. 이는 온도가 증가함에 따라 좀 더 심화됨을 확인할 수 있다. 그러나 줄어든 V_{gs} 의 범위내에서 충분히 black 전압을 설정 할 수 있으므로 실제 구동간에는 정상동작이 가능하다. 또한 실제 OLED panel에 OSBS를 적용하여 고온 / 고습 / 구동 가혹 신뢰성 test 진행 후 확인 결과 panel 정상 구동 확인하였으며, 현재 OSBS를 전 panel에 적용하여 I_{off} leakage 를 control 하고 있으므로, 신뢰성에는 문제가 없는 것으로 판단된다.

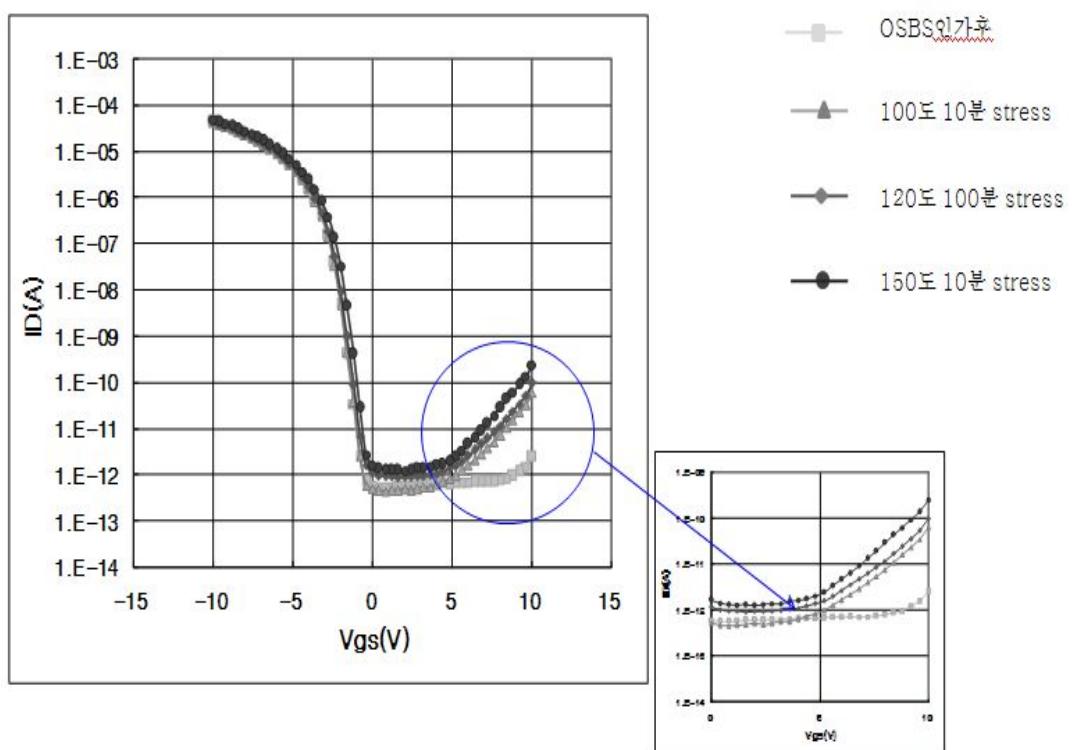


그림 4.12 : 온도 가혹 Test 결과

제 5 장 결 론

본 논문에서는 TFT에서 발생하는 off current로 인해 발생하는 문제들을 해결할 수 있는 방안을 제시하고 있다. 최근 OLED(Organic Light Emitting Diodes)를 적용한 panel에 대해 고해상도 구현을 위해, channel의 length는 짧아지며 gate insulator의 두께는 점점 얇아지고 있다. 이로 인해 TFT의 누설전류는 크며, 정전기나 외부 간섭에 의한 Damage에 취약한 구조가 된다. 구조나 공정의 개선 없이 I_{off} Leakage를 개선할 수 있는 방안으로 OSBS(Off State Bias Stress)가 있다. OSBS 방법은 TFT 제작에 있어 구조적 변경이나 추가 공정 등의 부담이 없고 TFT의 결함을 검사하는 공정에서 TFT에 적절한 전압을 인가하여 I_{off} 를 효과적으로 낮출 수 있기 때문에 대면적 디스플레이 패널과 같은 공정에 적용하기 매우 유용한 방법이다. OSBS를 통해 electron이 GI에 trap되어, off 상태에서의 gate field를 약화 시킴으로 GIDL에 의한 leakage를 제어할 수 있다. 또한 channel에 남아있던 hole에 의해 LDD(Low Doped Drain) 효과가 나타남으로써 drain 영역에서 발생하는 DIBL(Drain Induced Barrier Lowering)에 의한 leakage를 제어 할 수 있다. OSBS를 통해 I_{off} 를 control 할 경우 유효한 I_{off} 를 확보하는 V_{gs} 의 범위는 인가된 bias stress의 V_{gd} 에 의해서 결정됨을 알 수 있다. 또한 bias 인가시 $V_{gs} > 30V$ 인 경우에는 V_{th} positive shift가 발생하므로 V_{gs} 의 산포를 고려하여 20V 이내에서 설정해 주어야 한다. 또한 V_{ds} bias에 의한 V_{th} shift는 없으므로, OSBS를 가혹하게 인가해야 할 경우에는 V_{ds} bias를 늘려 준다. 이와 같은 조건을 만족하는 OSBS를 통해 display에서 발생되는 leakage에 의한 약명점 및 저계조 열류 불량을 해결 할 수 있다.

본 논문에서는 OLED panel에 적용되고 있는 OSBS에 의한 I_{off} 억제 메커니즘을 설명하고 유효한 I_{off} 확보를 위해 필요한 OSBS 조건을 정량화 하였다.

참고 문헌

- [1] B. Davari, R. H. Dennard and G. G. Shahidi, "CMOS scaling for high performance and low power—the next ten years," *IEEE proceeding*, vol.83,pp.595–606, (Apr. 1995)
- [2] U. Karthaus and M. Fischer, "Fully Integrated Passive UHF RFID Transponder IC with 16.7uW minimum RF input power," *IEEE J. Solid-State Circuits*, vol. 38, No. 10, pp. 1602–1608, (Oct. 2003.)
- [3] J. F. Dickson, "On-chip High-Voltage Generation in NMOS Integrated Circuits using an Improved Voltage Multiplier Technique," *IEEE J.Solid-State Circuits*, vol. SC-11, pp. 374–378, (June 1976)
- [4] F. Pan and T. Samaddar, *ChargePumpCircuitDesign*, McGraw–Hill, pp. 45–57. (2006)
- [5] M. M. Ahmadi and G. Jullien, "A New CMOS Charge Pump for Low Voltage Applications," *IEEE International Symposium on Circuits and Systems*, vol. 5, pp. 4261–4264, 23–26, (May 2005)
- [6] J. –T. Wu and K. –L. Chang, "MOS charge pumps for low-voltage operation," *IEEE J.Solid-State Circuits*, vol.33, No.4, pp.592–597, (1998)
- [7] T. Tanzawa, T. Tanaka, "A Dynamic Analysis of The Dickson Charge Pump circuit", *IEEE Solid-State Circuit*, pp.1231–1240, (1976)
- [8] J. Bu, W. Belcher, C. Parker and H. Prosack, "Unique Challenges and Solutions in CMOS Compatible NVM," *Non–VolatileMemory Technology Symposium*, pp.52–54, (Nov. 2006)

ABSTRACT

Study on Improvement of the Leakage-like Defect Problems in OLED Panel by Off-current Control of the Driving TFTs

Lee Youl Kyu

Department of Semiconductor and Display Engineering
Sungkyunkwan University

Low temperature poly silicon(LTPS) process has been introduced widely as a backplane technology of the organic light-emitting diode(OLED) displays. For implementation to high-resolution OLED displays, demand on the higher mobility for the pixel driving TFT is increased. In most of OLED backplanes using co-planar structure TFT layout, a relatively thinner gate insulator for TFT is essential to improve the mobility. However, as thinning the gate insulator, the leakage current of the pixel driving TFT(I_{off}) can be increased, and this results in higher risk on the weak bright-dot defect problems on OLED displays. To reduce I_{off} , a LDD(lightly doped drain) TFT structure and a multi-gate TFT structure are proposed. However, these methods need additional process steps or result relatively low aperture ratio.

In this study, an off-state-bias-stress(OSBS) method has been introduced to improve the TFT leakage-current without changing the

backplane structure or additional process steps. During the defect checking step in backplane process, by applying OSBS voltages to the TFTs, the I_{off} can be reduced effectively. Under the suitable OSBS condition, electrons are bounded in the gate insulator and this effect results in lower GIDL(Gate Induced Drain Leakage) by effectively reduced gate electric-field. In this method, V_{th} shift can be resulted if V_{gs} is higher than 30 volts, and V_{ds} change results in no V_{th} shift. I_{off} current can be minimized without V_{th} shift by minimizing V_{gs} and adjusting V_{gd} during OSBS.

As a result, weak-bright dots and low-gray-mura defects of the OLED display due to leakage-current of the driving TFT can be reduced dramatically by OSBS.

Keywords: Leakage Current, GIDL, DIBL, OSBS(Off State Bias Stress)

碩士學位請求論文

Study on Improvement of the Leakage-like Defect Problems
in OLED Panel by Off-current Control of the Driving TFTs

2015

李律圭

49